

DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.
008572478 **Image available**

WPI Acc No: 1991-076511/199111
Related WPI Acc No: 1999-067037
XRAM Acc No: C91-032535
XRPX Acc No: N91-059029

Mfg. semiconductor device having high performance - by forming semiconductor layer, effecting crystal growth and heat-treating

NoAbstract Dwg 1/2

Patent Assignee: SEIKO EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3022540	A	19910130	JP 89157126	A	19890620	199111 B

Priority Applications (No Type Date): JP 89157126 A 19890620

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 3022540	A	4		

Abstract (Basic): JP 3022540 A

Semiconductor device is made by forming a metal film on a semiconductor substrate by chemical vapour phase epitaxial method, heating is performed by infrared ray irradiation. The metal film is grown while the intensity fo the irradiation is reduced gradually.

USE - For reducing the changes in surface temps. of a grown film during growing the film on a semiconductor substrate.

Dwg.0/2

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; HIGH; PERFORMANCE; FORMING ; SEMICONDUCTOR; LAYER; EFFECT; CRYSTAL; GROWTH; HEAT; TREAT; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

訂正有り
⑥日本国特許庁(JP) ⑦特許出願公開

⑧公開特許公報(A) 平3-22540

⑨Int.Cl.⁵
H 01 L 21/336
21/20
29/784

識別記号

庁内整理番号

⑩公開 平成3年(1991)1月30日

7739-5F

9056-5F H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 4 (全6頁)

⑪発明の名称 半導体装置の製造方法

⑫特 願 平1-157126
⑬出 願 平1(1989)6月20日

⑭発明者 岡 秀 明 長野県諏訪市大和3丁目3番5号 セイコーホーム株式会社内

⑮出願人 セイコーホーム株式 東京都新宿区西新宿2丁目4番1号
会社

⑯代理人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

半導体装置の製造方法

請求項1または請求項2記載の半導体装置の製造方法。

4) 前記工程(c)の熱処理をエキシマレーザで行ったことを特徴とする請求項1、請求項2または請求項3記載の半導体装置の製造方法。

2. 特許請求の範囲

1)

(a) 絶縁性非晶質材料上にシリコンを主体とする半導体層を形成する工程、
(b) 該半導体層を熱処理等により結晶成長させる工程、

(c) 該工程(b)より高い所定の熱処理温度で該半導体層を処理する工程を少なくとも有することを特徴とする半導体装置の製造方法。.

2) 前記各工程の熱処理温度が700℃~1200℃であることを特徴とする請求項1記載の半導体装置の製造方法。

3) ゲート絶縁膜を形成する工程を有し、該ゲート絶縁膜を形成する工程の最高温度が前記工程(c)の熱処理温度よりも低いことを特徴とする

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、半導体装置の製造方法に係わり、特に、絶縁性非晶質材料上に半導体素子を形成する製造方法に関する。

【従来の技術】

ガラス、石英等の絶縁性非晶質基板や、SiO₂等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みが成されている。

近年、大型で高解像度の液晶表示パネルや、高速で高解像度の密着型イメージセンサや三次元IC等へのニーズが高まるにつれて、上述のような絶縁性非晶質材料上の高性能な半導体素子の実現が待望されている。

絶縁性非晶質材料上に薄膜トランジスタ(TFT)を形成する場合を例にとると、(1) プラズマCVD法等で形成した非晶質シリコンを素子材としたTFT、(2) CVD法等で形成した多結晶シリコンを素子材としたTFT、(3) 溶融再結晶化法等で形成した単結晶シリコンを素子材としたTFT等が検討されている。

ところが、これらのTFTのうち非晶質シリコンもしくは多結晶シリコンを素子材としたTFTは、単結晶シリコンを素子材とした場合に比べて TFTの電界効果移動度が大幅に低く(非晶質シリコンTFT < 1 cm² / V·sec、多結晶シリコンTFT ~ 10 cm² / V·sec)、高性能なTFTの実現は困難であった。

一方、レーザビーム等による溶融再結晶化法は、未だに十分に完成した技術とは言えず、また、液晶表示パネルの様に、大面積に素子を形成する必要がある場合には技術的困難が特に大きい。

[発明が解決しようとする課題]

3

る工程、

(c) 工程(b)より高い所定の熱処理温度で該半導体層を処理する工程を少なくとも有することを特徴とする。

2) 前記各工程の熱処理温度が700℃~1200℃であることを特徴とする。

3) ゲート絶縁膜を形成する工程を有し、該ゲート絶縁膜を形成する工程の最高温度が前記工程(c)の熱処理温度よりも低いことを特徴とする。

4) 前記工程(c)の熱処理をエキシマレーザで行ったことを特徴とする。

[実施例]

第1図は、本発明の実施例における半導体装置の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第1図において、(a)は、ガラス、石英等の絶縁性非晶質基板、もしくはSiO_x等の絶縁性非晶質材料層等の絶縁性非晶質材料101上にシ

そこで、絶縁性非晶質材料上に高性能な半導体素子を形成する簡便かつ実用的な方法として、大粒径の多結晶シリコンを固相成長させる方法が注目され、研究が進められている。(Thin Solid Films 100 (1983) p.227, JJAP Vol.25 No.2 (1985) p.L121)

しかし、従来の技術では、多結晶シリコンをCVD法で形成し、Si⁺をイオンインプラントして該多結晶シリコンを非晶質化した後、600℃程度の熱処理を100時間近く行っていた。そのため、高価なイオン注入装置を必要としたほか、熱処理時間も極めて長いという欠点があった。

そこで、本発明の目的はより簡便かつ実用的な方法で、大粒径で結晶化率が高い多結晶シリコンを形成する製造方法を提供するものである。

[課題を解決するための手段]

本発明の半導体装置の製造方法は、

1) (a) 絶縁性非晶質材料上にシリコンを主体とする半導体層を形成する工程と、

(b) 該半導体層を熱処理等により結晶成長させ

4

リコン層102を形成する工程である。成膜条件の一例としては、LPCVD法で500℃~560℃程度で膜厚100Å~2000Å程度のシリコン膜を形成する等の方法がある。ただし、成膜方法はこれに限定されるものではない。

(b)は、該シリコン層102を熱処理等により結晶成長させる工程である。熱処理条件は、工程(a)のシリコン層の成膜方法によってその最適条件が異なるが、550℃~650℃程度で2~30時間程度空素もしくはAr等の不活性ガス雰囲気中で熱処理することで多結晶シリコン層103が形成される。

(c)は、工程(b)より高い所定の熱処理温度で該多結晶シリコン層103を熱処理する工程である。熱処理温度としては、700℃~1200℃程度の間に最適値が存在する。但し、基板としてガラスを用いた場合は、上述のような高温にさらすことはできないため、エキシマレーザ等の短波長光を照射することで半導体の表面層近傍のみを上述の温度まで昇温させ、半導体層と基板界面

近傍は 600°C 程度以下になるように、照射強度及び照射時間を最適化することが重要である。一例としては、XeCl エキシマレーザ（波長 308 nm）を用い、照射強度 0.1 ~ 1.0 J/cm² 程度で 1 ~ 10 パルス（1 パルス数十 ns）照射する等の条件が上述の条件を満たす。尚、レーザを照射した際、半導体層と基板の界面が 600°C 程度以下であれば、半導体層の表面を溶融させる条件の方が、半導体表面層の結晶性が良好となり好ましい。特に、該表面層は反転層が形成される領域であるため、表面層の結晶性向上は、トランジスタ特性の向上につながる。

(d) は、ゲート絶縁膜 104 を形成する工程である。ゲート絶縁膜の形成方法としては、熱酸化法で 900°C ~ 1200°C 程度の高温で形成する方法（高温プロセス）と、CVD 法、プラズマ CVD 法、光 CVD 法、スパッタ法等で 650°C 程度以下の低温で形成する方法（低温プロセス）がある。当然のことながら、基板としてガラスを用いた場合は、低温プロセスを採用しなければなら

ない。

(e) は、半導体素子を形成する工程である。尚、第 1 図 (e) では、半導体素子として TFT を形成する場合を例としている。図において、104 はゲート絶縁膜、105 はゲート電極、106 はソース・ドレイン領域、107 は層間絶縁膜、108 はコンタクト穴、109 は配線を示す。TFT 形成法の一例としては、ゲート電極を形成後、ソース・ドレイン領域をイオン注入法、熱拡散法、プラズマドーピング法、イオンシャワードーピング法等で形成し、層間絶縁膜を CVD 法、スパッタ法、プラズマ CVD 法等で形成する。さらに、該層間絶縁膜にコンタクト穴を開け、配線を形成することで TFT が形成される。基板としてガラスを用いた場合のソース・ドレイン領域の形成方法は、イオン注入法で B, P 等の不純物を打ち込んだ後、600°C 程度の低温で数時間～数十時間熱処理することで不純物の活性化を行う方法の他、イオンシャワードーピング法、プラズマドーピング法等が有効である。

本発明は、550°C ~ 650°C 程度の低温で固相成長させた後で、それよりも高い温度で熱処理する点が重要である。その理由を以下に述べる。

工程 (b) で固相成長法で結晶成長させた多結晶シリコン層 103 の結晶化率は必ずしも高くなき。特に、LPCVD 法で 500°C ~ 560°C 程度の比較的低温で形成したシリコン膜（非晶質シリコン、若しくは非晶質相中に微少な結晶領域が存在する微結晶シリコンになっている。）を熱処理で固相成長させた場合は、その結晶化率は、50% ~ 70% 程度と低い。そこで、工程 (c) で工程 (b) より高い温度で熱処理することで、該多結晶シリコン層の未結晶化領域を結晶化させる工程を設けることが重要となる。その結果、結晶化率を 99% 以上に高めることができる。特に、ゲート絶縁膜を前述の低温プロセスで形成する場合には、熱酸化のような高温の熱処理が後工程で加わらないため、本発明に基づく熱処理を行い結晶化率を高めることができることが、重要である。

熱処理方法としては、アニール炉で窒素若しく

は Ar 等の不活性ガス雰囲気中で、例えば 850°C ならば 1 時間程度、1000°C ならば 10 ~ 20 分程度熱処理する方法の他に、ハロゲンランプ・アークランプ・赤外線ランプ・キセノンランプ・水銀ランプ等を用いたランプアニール、エキシマレーザ・Ar レーザ・He-Ne レーザ等を用いたレーザアニール等の方法もある。中でも、エキシマレーザを用いたレーザアニールは、半導体層の表面付近のみを加熱できるため、基板として安価なガラス基板を用いた場合でも用いることができる。その場合、少なくとも半導体層の表面から数百 Å の間の結晶化率を 99% 以上にすることができる。その結果、ゲート絶縁膜を前述の低温プロセスで形成し、ソース・ドレイン領域も 600°C 程度以下の低温プロセス（例えば、イオン注入法で B, P 等の不純物を打ち込んだ後、600°C 程度の熱処理を数時間～数十時間行い活性化する等の方法）で形成すれば、ガラス基板上に高性能な半導体素子を形成することができ、その効果は極めて大きい。尚、550°C ~ 650°C

程度で固相成長させた後でレーザアニールした場合と、固相成長をさせずに *as-depo* の膜をレーザアニールした場合とでは、固相成長させた膜の方が結晶粒径が大きく（ $1 \mu\text{m}$ 以上）、結晶化率も高い（レーザアニールのみでは基板近傍の半導体層の結晶化率が特に悪い。）という大きな効果がある。

さらに、LPCVD法で形成した膜の成膜温度と工程(c)の熱処理の有無にも重要な相違があることを見いだした。即ち、LPCVD法で高温（例えば、 $580^{\circ}\text{C} \sim 610^{\circ}\text{C}$ 程度）で形成したシリコン層と、低温（例えば、 $500^{\circ}\text{C} \sim 550^{\circ}\text{C}$ 程度）で形成したシリコン層を比べると、工程(c)の熱処理がない場合は、低温で形成したシリコン層の方が結晶粒径は大きいものの、結晶化率が低く、TFTの電界効果移動度も小さかった。しかし、工程(c)の熱処理を行った場合は、逆に低温で形成したシリコン層の方が結晶粒径が大きく、結晶化率も大きく、TFTの電界効果移動度も大きかった。尚、この値は、LPCV

D法で $580^{\circ}\text{C} \sim 610^{\circ}\text{C}$ 程度の高温で形成した膜では得られない値であった。

これは現在のところ以下に述べる理由によると考えられる。（1）低温で形成した膜の方は、非晶質シリコンもしくは非晶質相中に微少な結晶領域が存在する微結晶シリコンになっている。従って、高温で形成した膜と比べて、固相成長時の多結晶核発生密度が低く、大粒径の多結晶シリコンを固相成長によって形成できる。（2）ただし、低温で形成した膜は、固相成長後の非晶質相の割合が多く、結晶化率を高める為に高温の熱処理が必要である。と考えられる。従って、本発明は CVD 法で形成した膜に限らず、蒸着法、プラズマ CVD 法、EB 蒸着法、MBE 法、スパッタ法、CVD 法等で非晶質シリコンもしくは微結晶シリコンを成膜した場合や、微結晶シリコンもしくは多結晶シリコン等をプラズマ CVD 法、CVD 法、蒸着法、EB 蒸着法、MBE 法、スパッタ法等で形成後、Si、Ar、B、P、He、Ne、Kr、H 等の元素をイオン打ち込みして、該微結

11

品シリコンもしくは多結晶シリコン等を完全もしくは一部を非晶質化する等の方法で形成した場合にも有効である。中でも特に、*as-depo* の膜の非晶質相の割合が高く、多結晶核発生密度の低い（即ち、固相成長法で大粒径の多結晶シリコンを形成しやすい）膜ほど、本発明はその効果が大きい。

本発明に基づく半導体装置の製造方法を用い、低温プロセスで形成した多結晶シリコン TFT (*N* チャンネル) の電界効果移動度は、 $150 \sim 200 \text{ m}^2/\text{V} \cdot \text{sec}$ 程度であり熱酸化法で形成した TFT とほぼ同等の特性が得られた。

又、本発明は前述の通り低温プロセスに用いた場合、その効果が最も大きいが、高温プロセスに用いた場合も有効である。即ち、未結晶化領域の多い多結晶シリコンを熱酸化すると、結晶領域に比べて酸化速度が大きい未結晶化領域が先に酸化される。その結果、結晶粒界に沿って酸化膜が形成され、移動度が低下するという現象を生ずることがあった。しかし、本発明のアニール方法を用

12

いると、熱酸化前の結晶化率を十分高め、前述の結晶粒界部に沿った酸化を抑えることができるため、その効果は極めて大きい。

さらに、前記 TFT 製造工程に水素ガスもしくはアンモニアガスを少なくとも含む気体のプラズマ雰囲気に半導体素子をさらす工程等を設け、前記 TFT を水素化すると、結晶粒界に存在する欠陥密度が低減され、前記電界効果移動度はさらに向上する。

また、チャンネル領域に不純物をドーピングして、 V_{th} (しきい値電圧) を制御する手段も極めて有効である。固相成長法で形成した多結晶シリコン TFT では、*N* チャンネルトランジスタがデブリッシュ方向に V_{th} がシフトし、*P* チャンネルトランジスタがエンハンスメント方向にシフトする傾向がある。又、上記 TFT を水素化した場合、その傾向がより顕著になる。そこで、チャンネル領域に $10^{15} \sim 10^{16}/\text{cm}^2$ 程度の不純物をドープすると、 V_{th} のシフトを抑えることができる。例えば、第 1 図において、ゲート電

極を形成する前に、イオン注入法等でB(ボロン)等の不純物を $10^{11} \sim 10^{13}/\text{cm}^2$ 程度のドーズ量で打ち込む等の方法がある。特に、ドーズ量が前述の値程度であれば、Pチャンネルトランジスタ、Nチャンネルトランジスタ共オフ電流が最小になるように、V_{th}を制御することができる。従って、CMOS型のTFT素子を形成する場合においてもPch、Nchを選択的にチャンネルドープせずに、全面を同一の工程でチャンネルドープすることもできる。

尚、本発明は、第1図の実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に応用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を多結晶半導体を素子材として形成する場合にきわめて有効な製造方法となる。

【発明の効果】

以上述べたように、本発明によればより簡便な製造プロセスで大粒径で結晶化率の高い多結晶シ

リコン膜を形成することが出来る。その結果、絶縁性非晶質材料上に高性能な半導体素子を形成することが可能となり、大型で高解像度の液晶表示パネルや高速で高解像度の密着型イメージセンサや三次元IC等を容易に形成できるようになった。

また、本発明は、第1図の実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に応用できるほか、バイポーラトランジスタ、静電誘導型トランジスタ、太陽電池・光センサをはじめとする光電変換素子等の半導体素子を多結晶半導体を素子材として形成する場合にきわめて有効な製造方法となる。

4. 図面の簡単な説明

第1図(a)～(d)は本発明の実施例における半導体装置の製造工程図である。

101…絶縁性非晶質材料

102…シリコン層

15

103…多結晶シリコン層

104…ゲート絶縁膜

105…ゲート電極

106…ソース・ドレイン領域

107…層間絶縁膜

108…コンタクト穴

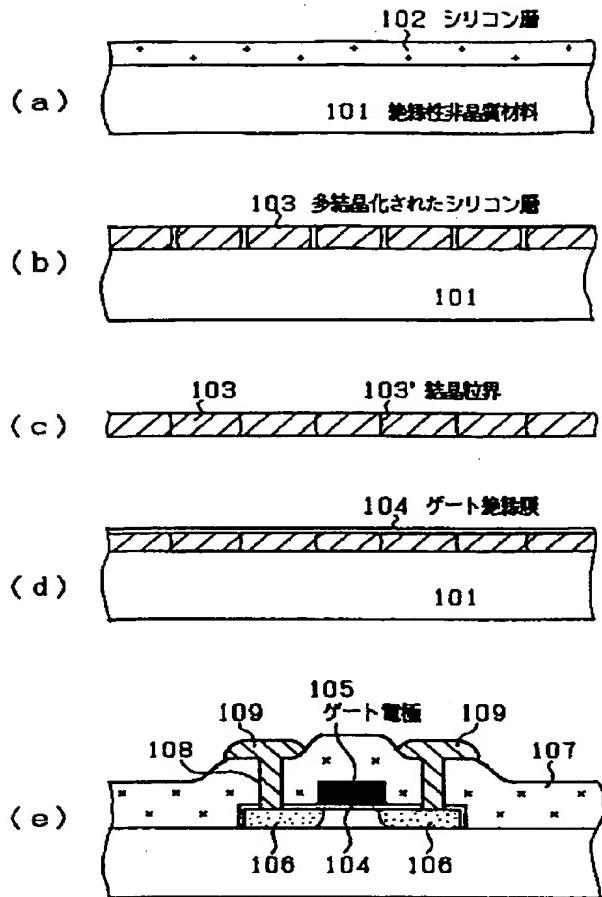
109…配線

16

以上

出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木 喜三郎(他1名)



第 1 図